

PAT-NO: JP401321525A

DOCUMENT-IDENTIFIER: JP 01321525 A

TITLE: HARDWARE SEMAPHORE

PUBN-DATE: December 27, 1989

INVENTOR-INFORMATION:

NAME

TAKAHASHI, RYUICHI

MURAOKA, YASUTOKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63155366

APPL-DATE: June 23, 1988

INT-CL (IPC): G06F009/46

ABSTRACT:

PURPOSE: To avoid such a case where the instructions for updating of different values are simultaneously given to one and the same memory element by providing an array of plural memory elements that can be set/reset and a pointer which can set/reset an optional one of these memory elements and controlling the pointer via each process unit.

CONSTITUTION: An FF array 1 consists of (n) pieces of FF 11-1n. A reset pointer 2 gives alternately the setting instructions to each FF; while a reset pointer 3 gives alternatively the resetting instructions to each FF respectively. The set and reset timings are instructed to both pointers 2 and 3 via plural process units 41-4n. Both pointers 2 and 3 usually point the different FFs and the number of FFs having the contents '1' is coincident with the number of process units which are carrying out each corresponding job at that time point. Thus the control of parallel jobs is attained by sending the output 10 of the array 1 to a system.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-321525

⑬ Int. Cl.⁴

G 06 F 9/46

識別記号

3 4 0

庁内整理番号

B-8945-5B

⑭ 公開 平成1年(1989)12月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ハードウェアセマフォ

⑯ 特 願 昭63-155366

⑰ 出 願 昭63(1988)6月23日

⑱ 発 明 者 高 橋 隆 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 村 岡 泰 紘 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 柳 川 信

明 細 書

ことを特徴とするハードウェアセマフォ。

3. 発明の詳細な説明

技術分野

本発明はハードウェアセマフォに関し、特に互いに並列動作を行う複数の処理ユニットからなる情報処理システムにおいて、これ等処理ユニット相互間の並列動作の管理を行うハードウェアセマフォに関する。

従来技術

情報処理システムにおいて、例えば、複数の処理ユニットが並列的に動作しており、これ等ユニットが同一のハードウェア資源を共有使用しているような場合に、ある特定の動作を同時に実行可能な処理ユニットの数に制限があることがある。かかる場合、この特定の動作を実行している処理ユニットの数を把握しておき、実行中の処理ユニットの数が当該制限数を越える場合には、以後の処理ユニットの当該特定動作は待ちの状態とする必要がある。このような例が示すように、情報処理システムの設計においては、複数の処理ユニット

1. 発明の名称

ハードウェアセマフォ

2. 特許請求の範囲

(1) 互いに並列動作を行う複数の処理ユニットからなる情報処理システムにおいて、これ等処理ユニット相互間の並列動作の管理を行うハードウェアセマフォであって、各々がセトリセット可能な複数の記憶素子と、これ等記憶素子のセットを一時的に指定するセットポインタ手段と、前記記憶素子のリセットを一時的に指定するリセットポインタ手段とを含み、前記処理ユニットの自己の処理動作の開始にตอบสนองして前記セットポインタ手段により指定されている記憶素子をセットし、また前記処理ユニットの自己の処理動作の終了にตอบสนองして前記リセットポインタ手段により指定されている記憶素子をリセットするようにし、前記記憶素子のセトリセット内容により前記処理ユニット相互間の並列動作の管理を行うようにした

による特定の動作の並列実行状況を、処理ユニット相互間の並列動作の管理に用いる必要が頻繁に生ずる。

従来、これに利用可能な技術としては、ソフトウェアの設計における、並列プログラムの管理手段としてのセマフォ (Semaphore) があるが、これを直接ハードウェアによって実現した場合には、第2図のような回路構成となる。

第2図を参照すると、レジスタ5にインクリメント6及びデクリメント7を次々付加し、互いに並列的に処理動作する複数の処理ユニット41～4nからこれ等インクリメント6及びデクリメント7を次々制御する構成となっている。

例えば、上述した如く、これ等複数の処理ユニットが、使用数に制限のある共通の資源 (メモリ装置等) 上で並列動作する場合、動作する処理ユニットがインクリメント6を起動して、初期値0のレジスタ5の内容を+1し、また動作終了した処理ユニットがデクリメント7を起動して、レジスタ5の内容を-1するように制御する。こう

することによって、共通の資源を現在使用中の処理ユニット数がこのレジスタ5の内容10により把握可能となり、よって、当該資源の使用制限数を超える処理ユニットに対しては、資源の使用を待機するように管理制御することも可能となる。

しかし、かかるソフトウェアの設計における並列プログラムの管理手段の直接的な実現では、同一のレジスタにインクリメントとデクリメントとが付加されており、よってインクリメントのための信号とデクリメントのための信号とが、一部重なるように相前後して異なる期間持続して到着する場合等の処理が複雑化するとともに、全体のハードウェア量も増大するという欠点がある。

発明の目的

そこで、本発明は上記従来のもので欠点を解決すべくなされたものであり、その目的とするところは、制御が簡単でかつ構成も簡単なハードウェアセマフォを提供することにある。

発明の構成

本発明によれば、互いに並列動作を行う複数の

処理ユニットからなる情報処理システムにおいて、これ等処理ユニット相互間の並列動作の管理を行うハードウェアセマフォであって、各々がセトリセット可能な複数の記憶素子と、これ等記憶素子のセトリセットを択一的に指定するセトリセットポイント手段と、前記記憶素子のリセットを択一的に指定するリセットポイント手段とを含み、前記処理ユニットの自己の処理動作の開始にตอบสนองして前記セトリセットポイント手段により指定されている記憶素子をセトリセットし、また前記処理ユニットの自己の処理動作の終了にตอบสนองして前記リセットポイント手段により指定されている記憶素子をリセットするようにし、前記記憶素子のセトリセット内容により前記処理ユニット相互間の並列動作の管理を行うようにしたことを特徴とするハードウェアセマフォが得られる。

実施例

以下に図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例のブロック図である。n個のFF (フリップフロップ) 11～1nから

なるFF配列1が設けられており、各FFを択一的にセトリセット指示するセトリセットポイント2と各FFを択一的にリセット指示するリセットポイント3とがあり、これ等ポイント2及び3は複数の処理ユニット41～4nによってセトリセット、リセットタイミングが指示される。

これ等複数の処理ユニット41～4nは、ある特定の動作を同時に実行可能なユニット数に制限のある資源を共有使用する並列動作可能なユニットである。各ユニットは当該特定動作を開始する際にセトリセットポイント2が指示しているFFをセトリセット(1)するよう指令信号を生成する。このセトリセットがなされると、セトリセットポイント2は直ちに内容がリセット(0)状態の他のFFを次のセトリセットのために指示することになる。

また、各ユニットは当該特定の動作を終了すると、リセットポイント3が指示しているFFをリセットするよう指令信号を生成する。このリセットがなされると、リセットポイント3は次にリセットすべきFF、すなわち次に当該特定の動作を

終了する処理ユニットがセットしたFFを指示する。

両ポインタ2及び3は通常異なるFFを指示しており、内容が1のFFの数は、その時点で当該特定の動作を行なっている処理ユニットの数を表していることになるので、このFF配列1の出力10をシステムへ送出すれば、並列動作の管理が可能となるのである。例えば、このセットFFの数が例えば予め定められた値(例えば、共通資源が同時に使用され得る処理ユニットの数)以下のときにセットポインタ2が指示しているFFをセットすることにより、各処理ユニットは当該特定の動作を開始できるようになるのである。

特に全てのFFの内容がリセット(0)状態であれば、当該特定の動作を実行している処理ユニットは何等存在しないことを意味する。このときに限り両ポインタ2及び3は同一のFFを指示することになるが、それ以外の場合には両ポインタは同一のFFを指示することはないのである。

リセットポインタ3の指示内容は必ずしも当該

特定の動作を終了した直後である必要はなく、ある処理ユニットが当該動作を開始した時点でセットしたFFを、終了した時点でリセットできれば充分である。

尚、上記実施例では、FFを使用して1, 0の内容をセット、リセットに次々対応させているが、1, 0以外の値を取り得る他の記憶素子を使用することも可能である。

本発明は実施例が示すような、並列動作可能なユニットが、特定の動作を同時に実行可能なユニット数に制限のある資源を共有使用している場合だけでなく、他のすべてのユニットが特定の動作を行っていない場合にのみ別の動作を開始できる場合など、特定の動作の並列実行状況を、処理ユニット相互間の並列動作の管理に用いる必要がある場合一般に用いることができる。

発明の効果

叙上の如く、本発明によれば、セット、リセット可能な複数の記憶素子の配列を用い、これ等記憶素子の任意の素子をセット、リセット可能なポ

インタを設けて各処理ユニットによりこれ等ポインタを制御するようにしているので、同一の記憶素子に対して異なる値の更新指示を同時に起り得なくすることができ、複雑な制御及び複雑なハードウェアの増加が防止可能となるという効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は従来のハードウェアセマフォの一例を示す図である。

主要部分の符号の説明

1 …… FF配列

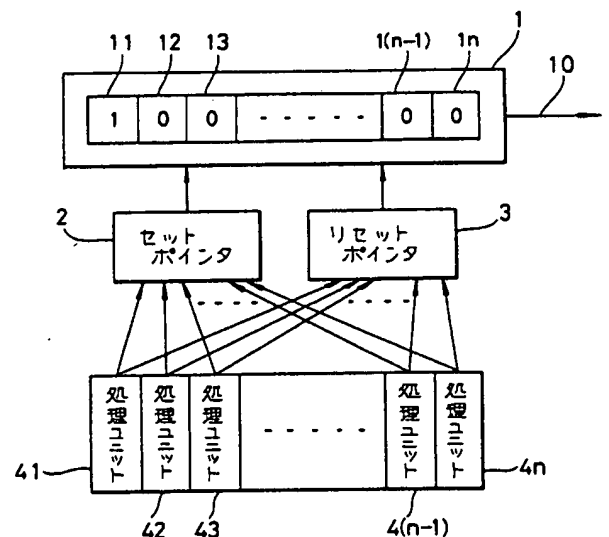
2 …… セットポインタ

3 …… リセットポインタ

11 ~ 1n …… FF

41 ~ 4n …… 処理ユニット

第1図



出願人 日本電気株式会社
代理人 弁理士 柳川 信

第2図

